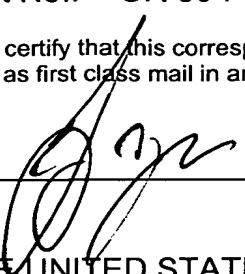




Docket No.: GR 00 P 1029

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231.

By: 

Date: February 27, 2001

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Gerhard Prey  
Appl. No. : 09/760,411  
Filed : January 12, 2001  
Title : Time-Division Multiplex Transmission of Data Bits

CLAIM FOR PRIORITY

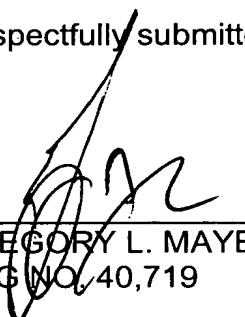
Hon. Commissioner of Patents and Trademarks,  
Washington, D.C. 20231

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 100 00 942.5 filed January 12, 2000.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,

  
\_\_\_\_\_  
GREGORY L. MAYBACK  
REG. NO. 40,719

Date: February 27, 2001

Lerner and Greenberg, P.A.  
Post Office Box 2480  
Hollywood, FL 33022-2480  
Tel: (954) 925-1100  
Fax: (954) 925-1101

/mjb

**THIS PAGE BLANK (USP TO)**

# BUNDESREPUBLIK DEUTSCHLAND



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen:

100'00 942.5

Anmeldetag:

12. Januar 2000

Anmelder/Inhaber:

Siemens Aktiengesellschaft, München/DE

Bezeichnung:

Zeitmultiplex-Übertragung von Datenbits

IPC:

H 04 L, H 04 J

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 9. Januar 2001  
Deutsches Patent- und Markenamt

Der Präsident

Im Auftrag

A handwritten signature in black ink, appearing to read "Faust".

Faust

CERTIFIED COPY OF  
PRIORITY DOCUMENT

**'THIS PAGE BLANK (USPTO)**

## Beschreibung

## Zeitmultiplex-Übertragung von Datenbits

Die Erfindung betrifft ein Zeitmultiplex-Verfahren zur Übertragung von Datenbits, die einer Anzahl von Kanälen zugeordnet sind, bei welchem die Datenbits mit einer vorgegebenen Datenrate auf einem Übertragungsweg in Zeitmultiplex-Rahmen gemäß einer vorgegebenen zeitlichen Abfolge übertragen werden, wobei die Rahmen jeweils eine Anzahl von Multipletts enthalten, nämlich für jeden Kanal ein Multiplett mit einer vorgegebenen Zahl von Bits.

10

Zeitmultiplex-Verfahren dieser Art werden insbesondere in der Telekommunikationstechnik vielfältig angewendet, z.B. in einer Konzentratoreinrichtung - gewöhnlich als DLU ('Digital Line Unit') bezeichnet. Die der Erfindung zugrundeliegende Aufgabenstellung und die Erfindungsidee wird im folgenden zum besseren Verständnis anhand des Beispiels einer DLU erläutert, ohne dass dies eine Einschränkung der Erfindung darstellen soll.

20

In einer DLU sind eine Anzahl, z.B. bis zu 126, gleichartiger Teilnehmerschaltungen (SLMs, 'Subscriber Line Modules') vorgesehen, die in der DLU die einzelnen Teilnehmeranschlusstellen realisieren. Die SLMs sind dezentrale Komponenten der DLU; der Zentralprozessor der DLU tauscht mit ihnen Daten über einen zentralen Systembus aus, z.B. über einen sogenannten PCM-Bus, in dem der Datenaustausch der einzelnen Kanäle, welche jeweils den SLMs zugeordnet sind, nach dem Zeitmultiplex-Verfahren realisiert wird. Eine typische Topologie der Anordnung der dezentralen Komponenten ist die eines über ca. 2 m ausgedehnten, sternförmigen Verteilsystems mit zwischen geschalteten Busverteilereinheiten ('Bus distributors', BD), sodass sich eine mehrstufige Verteilsystem-Hierarchie mit einem Zentralteil ('Digital Interface Unit', DIU), mehreren Busverteilereinheiten als teilzentralen Einheiten sowie einer

Anzahl von dezentralen Komponenten, nämlich den SLMs als Quellen/Senken der Datenbits, ergibt. Der PCM-Bus unterstützt neben der Verteilung der Daten ('Data Receive', DR) und der Sammlung von Daten ('Data Transmit', DX) auch das Takten der 5 Daten sowie die Regelung der Zugriffe von mehreren dezentralen Datenquellen wie z.B. den SLMs auf einen gemeinsamen Datenkanal.

In bekannten DLUs wird ein System eingesetzt, in dem die Datenbits mit einer festen Datenrate getaktet sind, z.B. 10 4,096 Mbit/s, die sich auf 64 Kanäle mit 64 kbit/s aufteilen, d.h. innerhalb 125 µs werden 64 Kanäle à 8 bit benutzt; somit beträgt die Dauer eines Bits ca. 244 ns. Der Datenverarbeitungsrate ist durch technische Vorgaben wie z.B. die Topologie des Verteilsystems und die Schalttechnologie wie z.B. 15 TTL-Technik eine obere Grenze gesetzt. Die seitens der SLMs vorgesehenen Schaltkreise müssen ja die Daten-Bursts, nämlich die jeweils 8 bit eines Zeitschlitzes, mit einer Rate entsprechend der Datenrate des zentralen Systembus erzeugen bzw. aufnehmen können, wenngleich der Nutzdatenfluss eines Kanals 20 effektiv nur 64 kbit/s ist, da einem Kanal nur jeweils ein Datenburst in einem Zeitschlitz zugeordnet ist.

Es sei angemerkt, dass der Ausdruck „Bit“, wiewohl er in dem Beispiel der DLU sich gewöhnlich auf binäre Dateneinheiten bezieht, im Rahmen dieser Beschreibung auch allgemeiner als 25 digitale Dateneinheit aufzufassen ist, und somit eine Dateneinheit nicht-binär codierter digitaler Daten bezeichnen kann.

Besonders zeitkritisch ist die Steuerung des sogenannten 'Collision-Detection'-Bus, dessen Funktionsprinzip in der 30 EP 0 234 355 A1 anhand einer Schaltungsanordnung mit mehreren synchron pulstaktgesteuerten Sendern für einen gemeinsamen Sendekanal dargestellt ist. Demgemäß wird das von einer dezentralen Komponente - im betrachteten Beispiel somit einer SLM - ausgesendete Signal ('Collision Data Transmit',

CDX) über Busverteilereinheiten an die betreffende zentrale Stelle der DLU geleitet und von dort wieder an die dezentrale Komponente zurückgeleitet und dort überprüft. Hierbei ist es zugelassen, dass Signale von mehreren dezentralen Komponenten 5 zugleich gesendet werden; diese fließen dann zusammen (sogenannte Kollision) und ergeben ein Summensignal, das von der Zentraleinheit zurückgeleitet wird. Das an die dezentrale(n) Komponente(n) zurückgespiegelte Signal ('Collision Data Receive', CDR) wird nach dem Prinzip der 'Collision Detection' 10 innerhalb einer Takteinheit gültig wieder empfangen und bewertet, noch bevor mit der nächsten Takteinheit das nächste Bit verarbeitet wird. Im Falle einer Kollision mit dem Sendevorgang einer anderen dezentralen Quelle wird aufgrund einer fehlenden Übereinstimmung zwischen dem eigenen CDX-Signal 15 und dem empfangenen CDR-Signal das Senden weiterer Bits abgebrochen, wodurch wie in der EP 0 234 355 A1 beschrieben der Sendevorgang nur von einer der beteiligten SLMs fortgesetzt wird. Hieraus wird klar, dass der Signallauf von der dezentralen Komponente zur zentralen Einheit und wieder zurück 20 innerhalb der Gültigkeitsdauer eines Datenbits stattfinden muss.

Wie aus den obigen Erläuterungen hervorgeht, ist die Datenverarbeitungsrate in den dezentralen Komponenten durch die verwendeten Bausteine, die Datenbits erzeugen und aussenden 25 - Signale 'Data Transmit' und 'Collision Data Transmit' - bzw. empfangen und verarbeiten - Signale 'Data Receive' und 'Collision Data Receive' - begrenzt. Bei der Wahl der Datenrate ist außerdem zu berücksichtigen, dass zur einwandfreien Funktion auch vorgegebene Toleranzen hinsichtlich z.B. Pulszerrungen und Zeitverzögerungen im Verteilsystem, sowie 30 zulässige Zeitunterschiede (sogenannte „Deltazeiten“) der Signale für verschiedene Punkte des Systems einzuhalten sind.

Eine Erhöhung der Datenrate der Zeitmultiplex-Übertragung würde durch die entsprechende Vergrößerung der Anzahl der Kanäle einen höheren Datendurchsatz bieten, bringt jedoch oft- 35

mals beträchtliche technische Probleme mit sich. Beispielsweise würde im Zusammenhang mit einem PCM-Bus, der anstelle von 4,096 Mbit/s mit einer höheren Datenrate operieren soll, z.B. mit 8,192 Mbit/s entsprechend einer Verdoppelung der  
5 Kanäle von 64 auf 128, bei einer DLU mit ca. 2 Meter langen, mehrstufigen Verteilsystemen wie weiter oben beschrieben die Umstellung auf diese höhere Datenrate bei den peripheren Komponenten stark erhöhte Anforderungen an die Schaltkreistechnik stellen, welche mit den vorgegebenen Standards nicht  
10 erfüllbar sind. Außerdem müssen die seitens der SLMs vorgesehenen Schaltkreise die Daten-Bursts, in diesem Beispiel die Bit-Oktetts eines Zeitschlitzes, mit einer Rate entsprechend der Datenrate erzeugen bzw. aufnehmen können, also nunmehr mit 8,192 Mbit/s entsprechend einer Bitdauer von ca. 122 ns,  
15 wenngleich der Nutzdatenfluss eines Kanals effektiv nur 64 kbit/s ist. Andererseits erscheint es geboten, extrem schnelle Schaltkreise wegen deren ungünstiger Auswirkung auf das Ausmaß der elektromagnetischen Abstrahlung und der erhöhten gegenseitigen Störbeeinflussung zu vermeiden - von dem  
20 zusätzlichem Kosten- und Betriebsaufwand einmal abgesehen.

Im allgemeinen kann natürlich an der einem Kanal zugeordnete Datenburst anstelle von acht Bits eine andere Anzahl von Datenbits enthalten, z.B. 4 oder 16 Bits, sodass im allgemeinen einem Kanal je ein Bit-Multiplett mit einer vorgegebenen Anzahl von Bits zugeordnet ist.  
25

Ebenfalls wird der Zeitablauf für den 'Collision-Detection'-Bus problematisch, da hier das zu sendende Bit des CDX-Signals innerhalb der Gültigkeitsdauer eines Bits von einer SLM ausgesendet und dort als „gespiegeltes“ Bit des CDR-Signals  
30 wieder ankommen und auf Verfälschung geprüft werden muss. Eine Verkürzung der Laufzeit ist grundsätzlich schwierig, und insbesondere mit dem Aufbau und der räumlichen Konfiguration des beschriebenen DLU-Systems nicht möglich. Daher ergibt sich in diesem Zusammenhang das Problem, dass durch die Erhöhung der Bitrate auf dem zentralen Bus und die damit ver-

bundene Verkürzung der Bitdauer - also beispielsweise von ursprünglich 244 ns auf 122 ns verkürzt - die Laufzeit der Signale über das Verteilsystem des 'Collision-Detection'-Bus größer als diese Bitdauer ist.

- 5 Es ist daher Aufgabe der Erfindung, einen Weg aufzuzeigen, wie in einem Zeitmultiplex-System die gesamte Datenrate des zentralen Systembus gesteigert werden kann, wenngleich der Datenverarbeitungsgeschwindigkeit der dezentralen Komponenten, die Daten erzeugen bzw. empfangen, Grenzen gesetzt sind  
10 - sei dies durch technische oder wirtschaftliche Gründe.

- Die Aufgabe wird ausgehend von einem Zeitmultiplex-Verfahren der eingangs dargestellten Art gelöst, bei welchem erfindungsgemäß in den Rahmen gemäß einer vorgegebenen Zuteilung der Kanäle zu Gruppen mit einer vorgegebenen Teilzahl von  
15 Kanälen
- die Multipletts jeweils einer Gruppe ineinander zeitlich verschränkt übertragen werden, nämlich zwischen je zwei Bits eines Multipletts je ein Bit von jedem der übrigen Multipletts der Gruppe,
  - 20 - jedoch die Gruppen jeweils nacheinander übertragen werden.

- Durch diese Lösung wird die gestellte Aufgabe auf einfache Weise gelöst. Die Datenbits können in den dezentralen Komponenten mit einer Verarbeitungsrate erzeugt werden, welche unter der Datenrate des zentralen Systembus liegt, und werden  
25 „verschachtelt“ auf dem Systembus übertragen. Durch die Verschränkung der Bits (bzw. Digitalzeichen) der Multipletts jeweils innerhalb einer Gruppe von Kanälen kann bei den dezentralen Komponenten die Datenverarbeitungsgeschwindigkeit beibehalten oder sogar verringert werden, während die gesamte  
30 Datenrate auf dem zentralen Bussystem deutlich erhöht wird. Die Erfindung ermöglicht insbesondere die Beibehaltung der bisher verwendeten Schaltkreistechnik der dezentralen Komponenten und ebenso der Architektur des Verteilsystems.

Im Sinne einer Verringerung von elektromagnetischer Störstrahlung empfiehlt es sich, Systemtakte mit niedrigen Frequenzen zu verwenden; diese gestatten auch die Verwendung einfacher bzw. kostengünstiger Bauteile. Daher ist es vor  
5 teilhaft, wenn die Übertragung der Bits mittels eines Taktsignals getaktet wird, dessen Taktrate der Datenrate geteilt durch die Teilzahl der Kanäle in einer Gruppe entspricht, jedoch die Taktung der Bits jeweils in einer Gruppe aufeinanderfolgender Multipletts um eine der Datenrate entsprechende  
10 Takteinheit gegeneinander versetzt ausgelöst wird.

In einer bevorzugten Ausführungsform der Erfindung, welche sich durch besondere Einfachheit und Effizienz bei der Auswertung der Taktsignale auszeichnet, sind die Kanäle paarweise gruppiert, und in jeder Gruppe erfolgt die Taktung der  
15 Bits des einen Kanals bzw. des zugehörenden Multipletts über die eine Takthälfte, sowie die Taktung der Bits des anderen Kanals bzw. des zugehörigen Multipletts über die andere Takthälfte des Taktsignals. Dies kann insbesondere zustandsgesteuert über die High-Phase bzw. die Low-Phase oder flankengesteuert mittels steigender bzw. fallender Flanken erfolgen.  
20

In einer besonders zweckmäßigen Ausformung der Erfindung werden die Datenbits auf einem PCM-Bus in Oktetts zu je acht Bits übertragen.

25 In einer anderen, ebenso zweckmäßigen Weiterbildung der Erfindung, bei der die Datenbits auf einem Kollisionsbus übertragen werden, erfolgt vorteilhafterweise seitens einer zentralen Komponente eine zusätzliche Abtaktung des Signals des Kollisionsbus mittels eines Bustaktes der vorgegebenen  
30 Datenrate.

Als eine Vorrichtung zum Erzeugen von gemäß einem erfindungsgemäßen Verfahren übertragbaren Zeitmultiplex-Signalen eignet sich gemäß der Erfindung besonders eine Vorrichtung, in

welcher - ausgehend von einer Anzahl von Burstsignalen, welche innerhalb vorgegebener Zeitmultiplex-Rahmen mit einer vorgegebenen Datenrate jeweils ein Datenbit-Multiplett mit einer vorgegebenen Zahl von Bits enthalten, - gemäß einer vorgegebenen Zuteilung der Burstsignale zu Gruppen mit einer vorgegebenen Teilzahl von Burstsignalen

- 5 • die Burstsignale jeweils einem Auffangspeicher zugeführt sind,
- die Auffangspeicher jeweils einer Gruppe zeitlich gegeneinander versetzt zur ineinander zeitlich verschränkten Übertragung der Multipletts der Burstsignale ansteuerbar sind, wobei die relative zeitliche Versetzung der Auffangspeicher innerhalb der betreffenden Gruppe kleiner als der zeitliche Abstand zweier Bits eines Multipletts ist, und
- 10 • die Ausgänge der Auffangspeicher über ein gemeinsames Multiplexermittel zusammengeführt sind.

Diese Vorrichtung gestattet die Realisierung des Erfindungsgedankens auf einfache Weise. Die Architektur bestehender Zeitmultiplexsysteme wird nicht geändert, und insbesondere kann die herkömmliche Schaltungstechnologie der dezentralen Komponenten beibehalten werden. Dies erleichtert zusätzlich den Übergang bei der Umstellung auf ein Bussystem mit höherer Datenrate, da nicht sämtliche Komponente zugleich ausgewechselt werden müssen.

- 25 Aus bereits genannten Gründen ist es im Falle der erfindungsgemäßen Vorrichtung besonders vorteilhaft, wenn innerhalb jeweils einer Gruppe die Auffangspeicher mittels eines gemeinsamen Taktsignals, dessen Taktrate der Datenrate geteilt durch Zahl der Burstsignale einer Gruppe entspricht, getaktet sind, jedoch jeweils in einer Gruppe aufeinanderfolgenden Burstsignalen zugeordnete Auffangspeicher gegeneinander um eine der Datenrate entsprechende Takteinheit versetzt auslösbar sind.

Eine bevorzugte Ausführungsform der erfindungsgemäßen Vor-

richtung ist für die Verarbeitung von je zwei Burstsignalen in jeweils einer Gruppe realisiert, wobei in jeder Gruppe der eine Auffangspeicher durch die eine Takthälfte sowie der andere Auffangspeicher durch die andere Takthälfte des Takt-  
5 signals taktbar ist. Insbesondere können die Auffangspeicher zustandsgesteuert - Ansteuerung mittels High-Phase bzw. Low-Phase - oder flankengesteuert - Ansteuerung mittels steigen-  
der bzw. fallender Flanken - sein.

Des weiteren ist es günstig, wenn die Ausgänge der Auffangs-  
10 peicher jeweils einer Gruppe über einen gemeinsamen Gruppen-  
multiplexer zusammengeführt sind, bei welchem die Signale der  
Ausgänge der Auffangspeicher mittels der Takte signale für die  
Auffangspeicher freigebbar sind, und die Ausgänge der Grup-  
penmultiplexer einem Multiplexermittel zugeführt sind. Letz-  
15 teres Multiplexermittel kann nämlich nach bekannter Art rea-  
lisiert werden, z.B. in einer Busverteilereinheit oder in ei-  
ner Zentraleinheit, sodass ein modularer Aufbau möglich ist.

Als Vorrichtung zum Gewinnen einer Anzahl von Burstsignalen aus einem gemäß einem erfindungsgemäßen Verfahren übertrage-  
20 nen Zeitmultiplex-Signals - in welchem in dem Zeitmultiplex-  
Signal innerhalb vorgegebener Zeitmultiplex-Rahmen mit einer vorgegebenen Datenrate Datenbits mit einer vorgegebenen Da-  
tenrate enthalten sind, wobei die Rahmen jeweils eine Anzahl von Multipletts enthalten, nämlich für jedes Burstsiegel ein  
25 Multiplett mit einer vorgegebenen Zahl von Bits, - eignet sich gemäß der Erfindung besonders eine Vorrichtung, in wel-  
cher gemäß einer vorgegebenen Zuteilung der Burstsiegel zu Gruppen mit einer vorgegebenen Teilzahl von Burstsignalen  
• das Zeitmultiplex-Signal Auffangspeichern zugeführt ist,  
30 wobei jeweils ein Auffangspeicher einem Burstsiegel zuge-  
ordnet ist, und  
• die Auffangspeicher jeweils einer Gruppe zeitlich gegenein-  
ander versetzt ansteuerbar sind, wobei zwischen der An-  
steuerung von je zwei Bits eines Multipletts je ein Bit von  
35 jedem der übrigen Multipletts der Gruppe ansteuerbar ist.

Die Vorteile sowie besondere Ausführungsformen dieser Vorrichtung entsprechen jenen der obengenannten Vorrichtung zum Erzeugen von Zeitmultiplex-Signalen.

Die Erfahrung samt weiterer Vorzüge wird im folgenden anhand eines nicht einschränkenden Ausführungsbeispiels dargestellt, welches eine DLU und die über deren zentralen Systembus erfolgende Datenübertragung betrifft. Hierbei werden die beigefügten Figuren herangezogen, welche zeigen:

Fig. 1 ein Blockdiagramm des PCM-Bussystems der DLU;

Fig. 2 die Erzeugung des Zeitmultiplex-Signals des PCM-Bus der DLU der Fig. 1;

Fig. 3 und 4 Schaltschemata der Gruppenschaltungen in der DLU der Fig. 1;

Fig. 5 ein Blockdiagramm mit einer Variante des PCM-Bussystems; sowie

Fig. 6 ein Blockdiagramm eines 'Collision-Detection'-Bussystems nach der Erfindung.

In Fig. 1 sind die für das Verständnis der Erfindung wesentlichen Komponenten des PCM-Bussystems einer DLU gezeigt. Die DLU D1 weist eine zentrale Komponente DC, mehrere Busverteiler-Einheiten als teilzentrale Komponenten sowie eine Anzahl von SLM-Karten als dezentrale Komponenten auf. In Fig. 1 sind jeweils von den Busverteiler-Einheiten und den SLM-Karten auf der linken Seite (Sendekomponenten XS) die Sendeteile BX<sub>0</sub>, ..., BX<sub>k</sub> bzw. SXA, SXB, ..., SXM, SXN und auf der rechten Seite (Empfangskomponenten RS) die zugeordneten Empfangsteile BR<sub>0</sub>, ..., BR<sub>k</sub> bzw. SRA, SRB, ..., SRM, SRN gezeigt.

Der Austausch von Daten zwischen den SLM-Karten erfolgt über das in Fig. 1 gezeigte Verteilsystem, welches die Busverteiler-Sendeteile BX<sub>0</sub>, ..., BX<sub>k</sub>, die Zentraleinheit DC und die Busverteiler-Empfangsteile BR<sub>0</sub>, ..., BR<sub>k</sub> umfasst. Die von den Sendeteilen SXA, ..., SXN der SLM-Karten ausgesendeten, sogenannten

'Data Transmit'-Signale  $dx$  gelangen über die Busverteiler-einheiten  $BX_0, \dots, BX_k$ , welche die Signale zusammenfassen und zwischenverstärken, als Signale  $dx'$  zu einem PCM-Bus  $pb$  der Zentraleinheit DC geleitet - Sendekomponenten XS. Umgekehrt - Empfangskomponenten RS - wird ein aus einem PCM-Signal  $pb'$  abgeleitetes, an die peripheren Komponenten gerichtetes Si-gnal als Signale  $dr'$  zu den Busvertileinheiten  $BR_0, \dots, BR_k$  geführt und von dort als 'Data Receive'-Signale  $dr$  an die Empfangsteile  $SRA, \dots, SRN$  der SLM-Karten verteilt. Die Daten-verarbeitung in den SLM-Karten beruht beispielsweise auf ei-nem Takt  $ck_4$  mit 4,096 Mbit/s, entsprechend einem Bitabstand  $t_4$  von 244 ns (vgl. Fig. 2), während in der Zentraleinheit DEC ein PCM-Bus entsprechend dem Erfindungsgedanken mit einer gegenüber den SLM-Karten höheren Datenrate betrieben wird, beispielsweise beruhend auf einem 8,192 Mbit/s-Takt  $ck_8$ .

Wie in bekannten DLUs erfolgt in der gezeigten DLU D1 die Datenübertragung über den PCM-Bus der Zentraleinheit DC mittels eines Signals  $pb$  in Form von Zeitmultiplex-Rahmen TFR mit einer vorgegebener Zeitdauer von z.B. 125  $\mu s$ , wobei jeder SLM-Karte ein Kanal mit 64 kbit/s zugeordnet ist. In den Figuren, insbesondere in Fig. 2, sind die den SLM-Sende-teilen  $SXA-SXN$  zugeordneten Kanäle und deren Signale mit den Bezugszeichen  $CHA-CHN$  bzw.  $cha-chn$  bezeichnet, wobei gleiche Buchstaben (A, B, C, D, ..., M, N) einander entsprechende Kompo-nenten bzw. Signale kennzeichnen. Für jeden Kanal wird in je einem Rahmen TFR ein Bit-Oktett  $b_7, b_6, b_5, \dots, b_0$  übertragen, wie in Fig. 2 beispielhaft anhand des Kanals CHA bzw. dessen Signals  $cha$  illustriert ist. In dem gezeigten Ausführungsbei-spiel sind die digitalen Signale z.B. durch Low-Pegel von 0 V (Masse) sowie High-Pegel bei einer Spannung  $U_s$  realisiert.

In dem hier gezeigten Beispiel wird durch eine Verdoppelung der Taktrate  $ck_8$  des PCM-Bus gegenüber der ursprünglichen Taktrate  $ck_4$  eine Verdoppelung der Anzahl der verwendbaren Kanäle erreicht, sodass nunmehr bis zu 128 Kanäle zur Verfü-gung stehen. Gemäß der Erfindung werden die Bit-Oktetts grup-

penweise ineinander „verzahnt“ übertragen, was in Fig. 2 beispielhaft dargestellt ist. In dem hier gezeigten Beispiel werden je zwei Oktetts verschränkt, wie dies in Fig. 2 am Beispiel der Signale cha, chb der Kanäle CHA, CHB gezeigt ist.

5 Diese beiden Kanäle bilden eine Gruppe GAB, wobei erfindungsgemäß in dem Zeitmultiplex-Signal pb die Oktetts jeweils einer Gruppe – anstatt nach bekannter Art jeweils für sich und ein Oktett nach dem anderen – ineinander zeitlich verschränkt übertragen werden. Hierbei befindet sich zwischen je  
10 zwei Bits eines Oktetts – beispielsweise zwischen den Bits b7 und b6 des Kanals CHA – je ein Bit von jedem der übrigen Multipletts der Gruppe – in diesem Beispiel Bit b7 des Kanals CHB. Nach der Übertragung der insgesamt  $2 \times 8 = 16$  Bits dieser Gruppe werden die Bits der nächsten Gruppe GCD übertragen, welche erfindungsgemäß aus den ineinander verschränkten Oktetts der Kanäle CHC und CHD bestehen, usw. In dem Signal pb des PCM-Bus ZB erfolgt die Übertragung der Bits somit aufgrund des „schnellen“ Taktes ck8, wobei die Datenbit mit einer Taktdauer t8 von 122 ns aufeinander folgen. Dagegen  
15 erfolgt die Datenverarbeitung in den SLM-Karten aufgrund des „langsam“en Taktes ck4 bzw. eines davon abgeleiteten Taktes ck4', weshalb die Gültigkeitsdauer der Bits seitens der Sendepteile SXA, ..., SXN und der Empfangsteile SRA, ..., SRN der SLM-Karten der Bitdauer t4 dieses letzteren Taktes entspricht,  
20 in diesem Beispiel somit 244 ns.  
25

Im allgemeinen können auch mehr als zwei Kanäle, z.B. vier, sechs, acht, usw., einer Gruppe angehören; jeweils würden beispielsweise die Bits b7 der Kanäle einer Gruppe übertragen werden, dann die Bits b6 usf. Auch ist die Erfindung nicht  
30 darauf eingeschränkt, dass jeweils ein Oktett übertragen wird; vielmehr kann jedem Kanal ebenso gut ein Daten-Multiplett zugeordnet sein, das aus n Bits besteht, wobei n beliebige Werte ab 4 annehmen kann, z.B. n = 4, 6, 10 oder 16. Auch können innerhalb der Erfindung in den Multipletts die  
35 Datenbits anstelle einer binären Codierung ein Multiplett

nicht-binär codierter digitaler Daten, z.B. über vorgegebene diskrete Pegel codierter Zeichen, verwendet werden.

Durch diese zeitlich verschränkt Übertragung der Bits einer Gruppe müssen die Sende- und Empfangsteile nur jedes zweite

5 Bit - bzw. jedes vierte, sechste, achte etc. Bit, in Abhängigkeit von der Anzahl der Kanäle in einer Gruppe - des mit dem Signal pb übertragenen Rahmens TFR erzeugen bzw. empfangen. Dadurch ergibt sich für die SLM-Karte eine gegenüber der Datenrate des PCM-Bus verringerte Datenverarbeitungsrate.

10 Jede SLM-Karte kann somit mit einer geringeren Taktrate arbeiten. Hierzu kann z.B. der „schnelle“ Takt ck8 mittels einer geeignet gewählten Taktteilung verwendet werden.

Vorteilhafterweise wird in den SLM-Karten ein „langsamer“ Takt ck4 verwendet, wobei z.B. der eine Kanal einer Gruppe

15 mittels steigender Flanken des Takts ck4, der andere Kanal mittels fallender Flanken erfolgt. An die SLM-Karten muss somit nicht der „schnelle“ Takt ck8 verteilt werden, sondern es genügt der Takt ck4, sofern dieser hinsichtlich seiner Symmetrie und Flankeneigenschaften beider Flankentypen die

20 Anforderungen eines Taktsignals erfüllt, was mit bekannten Komponenten ohne weiteres möglich ist. Der Takt ck4 kann beispielsweise in der zentralen Steuerung der DLU aus dem Takt ck8 abgeleitet und über das nach bekannter Art vorgesehene Verteilsystem an die SLM-Karten geleitet werden. Die

25 Verwendung des langsameren Taktes ck4 seitens der SLM-Karten und im Verteilsystem erleichtert als weiterer Vorteil der Erfindung die Verringerung von elektromagnetischen Störungen, welche durch schnelle oder rasch wechselnde Signale hervorgerufen werden.

30 In Fig. 3 ist für die Gruppe GAB der Fig. 1 der Aufbau einer möglichen Gruppenschaltung MAB zur Erzeugung des erfindungsgemäßen Zeitmultiplex-Signals ausgehend von den Signalen cha, chb der Sendeteile SXA, SXB gezeigt. Die Sendeteile SXA, SXB erzeugen ihre Burstsignale cha, chb als auf dem Takt

ck4 beruhende 'Data Transmit'-Signale. Das zweite Burstsignal chb wird in dem hier gezeigten Beispiel synchron zu dem ersten Burstsiegel cha erzeugt (Fig. 2), jedoch kann es auch gegenüber dem ersten Signal chb phasenverschoben sein, nämlich um bis zu einer Taktdauer  $t_8$  des Taktes ck8, entsprechend der Hälfte der Taktdauer  $t_4$ .

Die Gruppenschaltung MAB weist für beide Burstsigale cha, chb je ein D-Register DXA, DXB und ein nachgeschaltetes Tristate-Gatter G3 auf. Das erste Signal cha wird in das D-Register DXA, welches in der Low-Phase des als Ansteuersignal ckx verwendeten Taktes ck4 aktiv wird, gespeichert und in der darauffolgenden Takthälfte über das zugeordnete Tristate-Gatter mit der High-Phase des Taktsignales auf den Ausgang gab geschaltet. Umgekehrt wird das dem zweiten Signal chb zugeordnete D-Register DXB in der High-Phase aktiv und das so zwischengespeicherte Signal mit der darauffolgenden Low-Phase des Taktsignals durch das zugehörige Tristate-Gatter auf den Ausgang gab weitergeleitet.

Die beiden Tristate-Gatter G3 bilden somit einen Gruppenmultiplexer MUL für das Gruppenausgangssignal gab. Das Ansteuersignal ckx der von den Latches DXA, DXB gebildeten Auffangspeichereinrichtung DRS und das Ansteuersignal ckm des Gruppenmultiplexers MUL müssen nicht direkt aus dem Takt ck4 gewonnen sein, sondern können bei Bedarf z.B. mit einer vorgegebenen Phasenverschiebung beaufschlagt werden, beispielsweise mit Hilfe von (in der Figur nicht gezeigten) Phasenschieberelementen, um auf diese Weise Laufzeitverschiebungen der Signale ausgleichen zu können; beispielsweise kann so erreicht werden, dass die Gatter des Gruppenmultiplexers MUL um weniger als eine halbe Taktperiode später als die D-Register der Auffangspeichereinrichtung DRS getriggert werden.

Die Ausgangssignale gab, ..., gmn der verschiedenen Gruppen GAB, ..., GMN werden nach bekannter Art zusammengeführt und dem PCM-Bus der Zentraleinheit DC zugeleitet. Das hierfür ver-

wendete Sammelsystem des PCM-Bus dient als gemeinsames Multiplexermittel, welches durch die Busverteiler-Sendeteile BX<sub>0</sub>,...,BX<sub>k</sub> und die Multiplexerstufe CMX der Zentraleinheit realisiert ist.

5 Empfangsseitig wird das Signal pb' des PCM-Bus über Verteilermittel der Zentraleinheit DC und der Busverteilereinheiten BR<sub>0</sub>,...,BR<sub>k</sub> den Empfangsteilen des SLMs zugeführt. Bezugnehmend auf Fig. 4, ist den Empfangsteilen SRA,SRB der Gruppe GAB eine Gruppenschaltung RAB zugeordnet. Darin ist für jedes  
10 Empfangsteil jeweils ein D-Register DRA,DRB vorgesehen, durch welche das Gruppensignal in die beiden Kanalsignale cha',chb' aufgeteilt wird. In der in Fig. 4 gezeigten Ausführungsform sind die D-Register mit dem „langsamem“ Takt ck4 angesteuert und als flankengesteuerte Register realisiert, wobei das  
15 erste D-Register DRA mittels einer fallenden, dagegen das zweite D-Register DRB mittels einer steigenden Flanke angesteuert wird. Die Ansteuerung ckr der Empfangs-Gruppenschaltungen RAB kann auch mittels des Taktes ck8 realisiert sein, dann erfolgt die Ansteuerung für beide Kanalsignale cha',chb'  
20 mit der fallenden Flanke, jedoch abwechselnd mit jeder zweiten Flanke des Taktsignals ck8. In Fig. 2 ist der Übersichtlichkeit halber lediglich das der ersten SLM-Empfangsteil SRA zugeordnete Signal cha' gezeigt.

Bei der Auffangspeichereinrichtung DXS könnte anstelle von  
25 zustandsgesteuerten Latches DXA,DXB auch mit flankengesteuerten D-Registern gearbeitet werden; dann würde - ähnlich der Auffangspeichereinrichtung DRS der Empfangsseite - das erste D-Register DXA mittels einer fallenden, dagegen das zweite D-Register DXB mittels einer steigenden Flanke des Ansteuer-  
30 signals ckx angesteuert werden. Bei der Auffangspeicher- einrichtung DRS dagegen wird vorteilhafterweise mit den Flanken des Taktsignals getriggert, da sonst Einschwingvorgänge des eingehenden Gruppensignals das schon angenommene Signal stören könnten.

In dem in Fig. 1-4 gezeigten Ausführungsbeispiel sind die Gruppenschaltungen in den Signalstrecken der Signale dx und dr der dezentralen SLM-Komponenten vorgesehen, somit Sende-Gruppenschaltungen MAB,...,MMN den Busverteiler-Sendeteilen BX0,...,BXk vorgeschaltet sowie Empfangs-Gruppenschaltungen RAB,...,RMN den Busverteiler-Empfangsteilen BR0,...,BRk nachgeschaltet („dezentrale Gruppenschaltungen“). Es ist jedoch ebenso möglich, wie in Fig. 5 beispielhaft dargestellt, „teilzentrale“ Gruppenschaltungen M01,R01 in den Signalstrecken dx' und dr' zwischen den Busverteilereinheiten BX0,BX1 bzw. BR0,BR1 und der Zentraleinheit DC vorzusehen. In Fig. 5 sind die dezentralen Komponenten der Übersichtlichkeit halber nicht gezeigt. Teilzentrale Gruppenschaltungen können anstelle von oder zusätzlich zu dezentralen Gruppenschaltungen eingerichtet werden. Der Schaltungsaufbau der teilzentralen Gruppenschaltungen M01 und R01 kann z.B. wie die Gruppenschaltungen MAB und RAB der Fig. 3 bzw. 4 realisiert sein.

Die Erfindung eignet sich auch für Signale des 'Collision Detection'-Bus. Die Realisierung der Erfindung für den 'Collision Detection'-Bus baut im wesentlichen auf das oben zum PCM-Bus Gesagte auf, weshalb im folgenden die Darstellung zu den Fig. 2-5 übernommen wird und lediglich einige Punkte ergänzt werden; allerdings tritt nun an die Stelle des in Fig. 1 behandelten PCM-Bus als zentraler Systembus der 'Collision Detection'-Bus wie in Fig. 6 gezeigt.

Analog zu der DLU D1 der Fig. 1 weist in diesem Ausführungsbeispiel ebenfalls die DLU D2 der Fig. 6 einen Zentralteil DC', mehrere Busverteilereinheiten sowie eine Anzahl von SLM-Karten auf; der Übersichtlichkeit halber sind in Fig. 6 nur die der Gruppe GAB zugeordneten Komponenten gezeigt. Wiederum sind auf der linken Seite (Sendekomponenten XS) jeweils die Sendeteile SXA',SXB' der SLM-Karten und das Sendeteil BX0' der Busverteilereinheit gezeigt, sowie auf der rechten Seite die entsprechenden Empfangsteile BR0' bzw. SRA',SRB'. Gemäß der Erfindung weist die DLU D2 der Fig. 6 Gruppenschaltungen

MAB', RAB' auf, welche die Verschränkung der Signale cdx ineinander gemäß der Erfindung bewirken.

Zusätzlich können, gemäß dem 'Collision-Detection'-Prinzip, die Ausgänge mehrerer Sendeteile und entsprechend die Eingänge mehrerer Empfangsteile direkt auf einen gemeinsamen Ausgangsleitung bzw. von einer gemeinsamen Eingangsleitung gefächert sein, wie dies in Fig. 6 am Beispiel der dezentralen Komponenten SXA', SRA', SXB', SRB' gezeigt ist.

Für die Realisierung des 'Collision Detection'-Prinzips ist es erforderlich, dass das von einer dezentralen Komponente ausgesendete Signal - in diesem Fall z.B. die Signale cha, chb - als CDX-Signale cdx über den 'Collision Detection'-Bus an die zentrale Stelle der DLU geleitet und von dort wieder als CDR-Signal cdr - in dem Beispiel die Signale cha', chb' - an die betreffende dezentrale Komponente zurückgeleitet und dort überprüft wird, solange das betreffende Bit des CDX-Signals noch gültig ist. Die Gruppenschaltungen MAB', RAB' dieses Ausführungsbeispieles entsprechen im übrigen jenen MAB, RAB der Fig. 1-4; auch können, wie oben am Beispiel der Fig. 5 diskutiert, auch hier dezentrale Gruppenschaltungen vorgesehen sein.

Da die gesamte Laufzeit des Signals, nämlich als CDX-Signal von der SLM-Karte SXA' bzw. SXB' über die Busverteilereinheit BX0' (jeweils Sendeteile) zu dem Zentralteil DC' und von dort zurück als CDR-Signal über die Busverteilereinheit BR0' zu der betreffenden SLM-Karte SRA' bzw. SRB' (jeweils Empfangsteile), größer als eine Taktdauer t8 sein kann, ist vorteilhafterweise in der Zentraleinheit DC' eine zusätzliche Taktung mittels einer Kippstufe ZBK vorgesehen. Auf diese Weise wird eine Störung ausgeschlossen, die sich dadurch ergeben würde, dass der „spätere“ Kanal CHB einen „schnelleren“ Signalweg hat und deshalb den anderen Kanal seiner Gruppe, in diesem Fall also Kanal CHA, „überholen“ kann.

Da erfindungsgemäß ein Datenbit des Signals cha in einer dezentralen Komponente für die Taktdauer t4 des Taktes ck4 gültig ist, muss das vom 'Collision Detection'-Bus zurückgeleitete Signal erst kurz vor Ablauf dieser Zeit bei der 5 dezentralen Komponente einlangen. Die Erfindung gestattet es somit, bei der Auslegung der Laufzeiten der über den Bus laufenden Signale den langsameren Takt ck4 der dezentralen Komponenten anstelle des Bustaktes ck8 zugrunde zu legen. Somit steht dem CDX-Signal auf dem Weg bis zur zentralen 10 Kippstufe ZBK fast die Hälfte der Taktdauer t4 - also fast 122 ns - zur Verfügung. Mit der nächsten Flanke des Taktes ck8 wird das Signal zu den Empfangsstufen weitergegeben; für den Weg zu den Empfangsteilen der dezentralen Komponente steht wiederum fast die Hälfte der Taktdauer t4 zur Verfü- 15 gung.

Wie bereits erwähnt, ist die Erfindung nicht auf den Fall eingeschränkt, dass in einer Gruppe die Datenmultipletts von je zwei Kanälen ineinander verschrankt übertragen werden. Vielmehr kann dies ebenso für z.B. vier oder mehr Kanäle 20 durchgeführt werden. Wenn z.B. ausgehend von dem in Fig. 1 gezeigten Beispiel vier Kanäle je Gruppe übertragen werden - also zuerst Bit 7 der Kanäle CHA, CHB, CHC, CHD, dann Bit 6 dieser Kanäle, usf., insgesamt somit  $4 \times 8 = 32$  Bits je Gruppe - so würde sich dadurch bei gleichbleibender Datenrate des zentralen Bussystems die erforderliche Verarbeitungsgeschwindigkeit in den zentralen Komponenten auf die Hälfte verringern und ebenso die zum Bewerten von Bit-Kollisionen auf dem 'Collision Detection'-Bus entsprechend nahezu 25 verdoppeln.

## Patentansprüche

1. Zeitmultiplex-Verfahren zur Übertragung von Datenbits, die einer Anzahl von Kanälen (CHA, CHB, ..., CHN) zugeordnet sind, bei welchem die Datenbits mit einer vorgegebenen Datenrate auf einem Übertragungsweg in Zeitmultiplex-Rahmen (TFR) gemäß einer vorgegebenen zeitlichen Abfolge übertragen werden, wobei die Rahmen (TFR) jeweils eine Anzahl von Multipletts enthalten, nämlich für jeden Kanal ein Multiplett mit einer vorgegebenen Zahl von Bits (b<sub>7</sub>, b<sub>6</sub>, ..., b<sub>0</sub>),  
dadurch gekennzeichnet,  
dass in den Rahmen (TFR) gemäß einer vorgegebenen Zuteilung der Kanäle (CHA, CHB, ..., CHN) zu Gruppen (GAB, ..., GMN) mit einer vorgegebenen Teilzahl von Kanälen
  - die Multipletts jeweils einer Gruppe (GAB) ineinander zeitlich verschränkt übertragen werden, nämlich zwischen je zwei Bits (CHA-b<sub>7</sub>, CHA-b<sub>6</sub>; CHB-b<sub>7</sub>, CHB-b<sub>6</sub>) eines Multipletts je ein Bit (CHB-b<sub>7</sub>; CHA-b<sub>6</sub>) von jedem der übrigen Multipletts der Gruppe,
  - jedoch die Gruppen (GAB, ..., GMN) jeweils nacheinander übertragen werden.
2. Verfahren nach Anspruch 1,  
dadurch gekennzeichnet, dass die Übertragung der Bits mittels eines Taktsignals (ck4) getaktet wird, dessen Taktrate der Datenrate geteilt durch die Teilzahl der Kanäle in einer Gruppe entspricht, jedoch die Taktung der Bits jeweils in einer Gruppe aufeinanderfolgender Multipletts um eine der Datenrate entsprechende Takteinheit gegeneinander versetzt ausgelöst wird.
3. Verfahren nach Anspruch 2,  
dadurch gekennzeichnet, dass die Kanäle (CHA, CHB, ..., CHN) paarweise gruppiert sind, und in jeder Gruppe (GAB) die Taktung der Bits des einen Kanals (CHA) bzw. des zugehörigen Multipletts über die eine Takthälfte, sowie die Taktung der Bits des anderen Kanals (CHB) bzw. des zugehörigen Multi-

plets über die andere Takthälfte des Taktsignals (ck4) erfolgt.

4. Verfahren nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass die Datenbits auf einem PCM-Bus in Oktetts zu je acht Bits übertragen werden.

5. Verfahren nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass die Datenbits auf einem Kollisionsbus übertragen werden und seitens einer zentralen Komponente (DC') eine zusätzliche Abtaktung des Signals des Kollisionsbus mittels eines Bustaktes (ck8) der vorgegebenen Datenrate erfolgt.

6. Vorrichtung (XS) zum Erzeugen von gemäß dem Verfahren nach einem der Ansprüche 1 bis 4 übertragbaren Zeitmultiplex-Signalen ausgehend von einer Anzahl von Burstsignalen

15 (cha, chb), welche innerhalb der Dauer vorgegebener Zeitmultiplex-Rahmen (TFR) mit einer vorgegebenen Datenrate jeweils ein Datenbit-Multiplett mit einer vorgegebenen Zahl von Bits (b7, b6, ..., b0) enthalten,

dadurch gekennzeichnet,

20 dass gemäß einer vorgegebenen Zuteilung der Burstsingale (cha, chb) zu Gruppen (GAB) mit einer vorgegebenen Teilzahl von Burstsignalen

• die Burstsingale (cha, chb) jeweils einem Auffangspeicher (DXA, DXB) zugeführt sind,

25 • die Auffangspeicher (DXA, DXB) jeweils einer Gruppe zeitlich gegeneinander versetzt zur ineinander zeitlich verschrankten Übertragung der Multipletts der Burstsingale (cha, chb) ansteuerbar sind, wobei die relative zeitliche Versetzung der Auffangspeicher innerhalb der betreffenden Gruppe kleiner als der zeitliche Abstand zweier Bits eines Multipletts ist, und

• die Ausgänge der Auffangspeicher (DXA, DXB) über ein gemeinsames Multiplexermittel (MUL) zusammengeführt sind.

7. Vorrichtung nach Anspruch 6,  
dadurch gekennzeichnet, dass innerhalb jeweils  
einer Gruppe die Auffangspeicher (DXA, DXB) mittels eines  
gemeinsamen Taktsignals (ck4), dessen Taktrate der Datenrate  
5 geteilt durch Zahl der Burstsignale (cha, chb) einer Gruppe  
entspricht, getaktet sind, jedoch jeweils in einer Gruppe  
aufeinanderfolgenden Burstsignalen zugeordnete Auffangspei-  
cher (DXA, DXB) gegeneinander um eine der Datenrate entspre-  
chende Takteinheit versetzt auslösbar sind.
- 10 8. Vorrichtung nach Anspruch 7,  
dadurch gekennzeichnet, dass sie für die Verarbei-  
tung von je zwei Burstsignalen in jeweils einer Gruppe reali-  
siert ist, wobei in jeder Gruppe der eine Auffangspeicher  
(DXA) durch die eine Takthälfte sowie der andere Auffangspei-  
15 cher (DXB) durch die andere Takthälfte des Taktsignals (ck4)  
taktbar ist.
9. Vorrichtung nach einem der Ansprüche 6 bis 8,  
dadurch gekennzeichnet, dass die Ausgänge der Auf-  
fangspeicher (DXA, DXB) jeweils einer Gruppe über einen ge-  
20 meinsamen Gruppenmultiplexer (MUL) zusammengeführt sind, bei  
welchem die Signale der Ausgänge der Auffangspeicher mittels  
der Taktsignale für die Auffangspeicher freigebbar sind, und  
dass die Ausgänge (gab, gcd) der Gruppenmultiplexer (MUL)  
einem Multiplexermittel zugeführt sind.
- 25 10. Vorrichtung (RS) zum Gewinnen einer Anzahl von Bursts-  
signalen (cha', chb') aus einem gemäß dem Verfahren nach einem  
der Ansprüche 1 bis 4 übertragenen Zeitmultiplex-Signals, in  
welchem innerhalb vorgegebener Zeitmultiplex-Rahmen (TFR) mit  
einer vorgegebenen Datenrate Datenbits mit einer vorgegebenen  
30 Datenrate enthalten sind, wobei die Rahmen (TFR) jeweils eine  
Anzahl von Multipletts enthalten, nämlich für jedes Bursts-  
signal ein Multiplett mit einer vorgegebenen Zahl von Bits  
(b7, b6, ..., b0),  
dadurch gekennzeichnet,

dass gemäß einer vorgegebenen Zuteilung der Burstsingale (cha, chb) zu Gruppen (GAB) mit einer vorgegebenen Teilzahl von Burstsingalen

- das Zeitmultiplex-Signal Auffangspeichern (DRA, DRB) zugeführt ist, wobei jeweils ein Auffangspeicher einem Burstsingal (cha', chb') zugeordnet ist, und
- die Auffangspeicher (DRA, DRB) jeweils einer Gruppe zeitlich gegeneinander versetzt ansteuerbar sind, wobei zwischen der Ansteuerung von je zwei Bits eines Multipletts je ein Bit von jedem der übrigen Multipletts der Gruppe ansteuerbar ist.

11. Vorrichtung nach Anspruch 10,

dadurch gekennzeichnet, dass innerhalb jeweils einer Gruppe die Auffangspeicher (DRA, DRB) mittels eines gemeinsamen Taktsignals (ck4), dessen Taktrate der Datenrate geteilt durch Zahl der Burstsingale (cha, chb) einer Gruppe entspricht, getaktet sind, jedoch jeweils in einer Gruppe aufeinanderfolgenden Burstsingalen zugeordnete Auffangspeicher (DRA, DRB) gegeneinander um eine der Datenrate entsprechende Takteinheit versetzt auslösbar sind.

12. Vorrichtung nach Anspruch 11,

dadurch gekennzeichnet, dass sie für die Auswertung von je zwei Burstsingalen in jeweils einer Gruppe realisiert ist, wobei in jeder Gruppe der eine Auffangspeicher (DRA) durch die eine Takthälfte sowie der andere Auffangspeicher (DRB) durch die andere Takthälfte des Taktsignals (ck4) taktbar ist.

## Zusammenfassung

## Zeitmultiplex-Übertragung von Datenbits

In Zeitmultiplex-Rahmen (TFR) werden Datenbits - jeweils ein Bit-Multiplett mit einer vorgegebenen Zahl von Bits (b<sub>7</sub>, b<sub>6</sub>, ..., b<sub>0</sub>) pro Kanal (CHA, CHB, CHC, CHD, ..., CHN) - nach einer bestimmten zeitlichen Abfolge übertragen. Gemäß einer vorgegebenen Zuteilung der Kanäle zu Gruppen (GAB, GCD, GMN) mit jeweils einer vorgegebenen Teilzahl von Kanälen, werden in den Zeitmultiplex-Rahmen (TFR) die Multipletts jeweils einer Gruppe (GAB) ineinander zeitlich verschränkt übertragen. Die verschiedenen Gruppen (GAB, GCD, GMN) jedoch werden in den Rahmen jeweils nacheinander übertragen.

Fig. 2

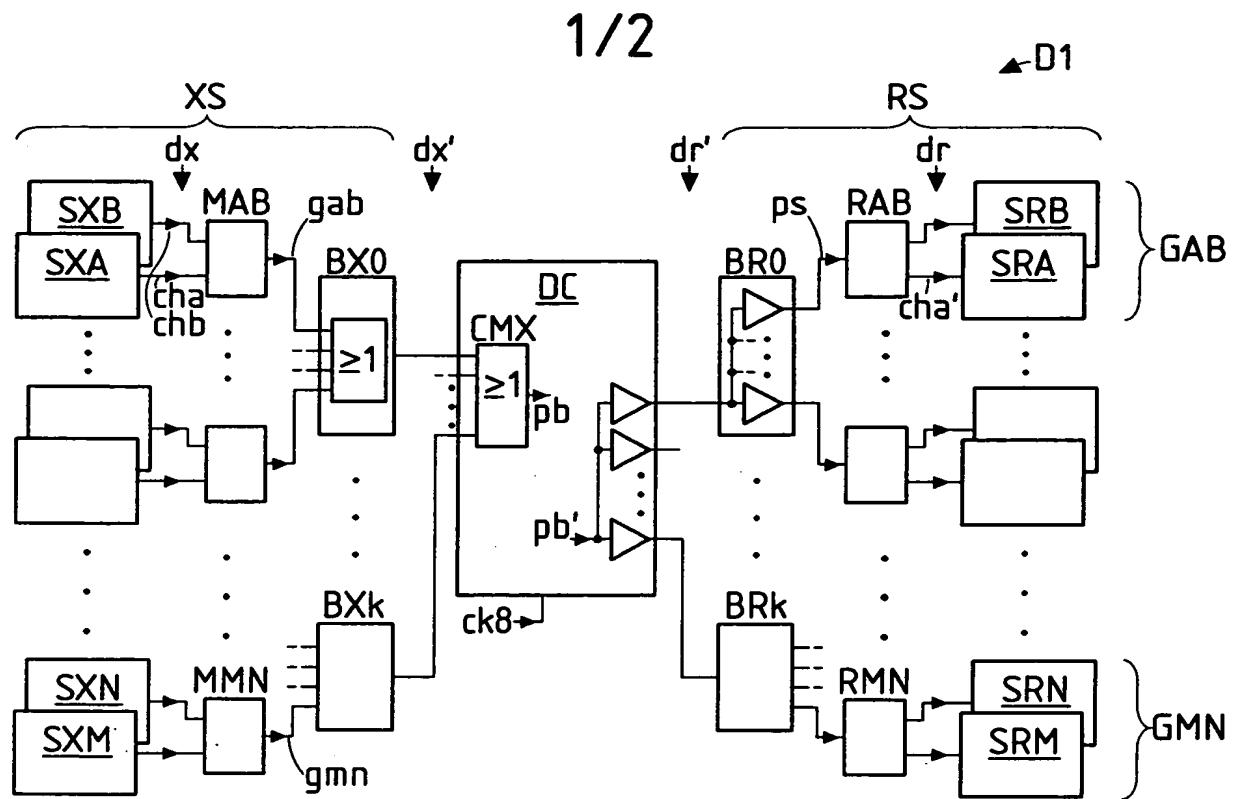


Fig. 1

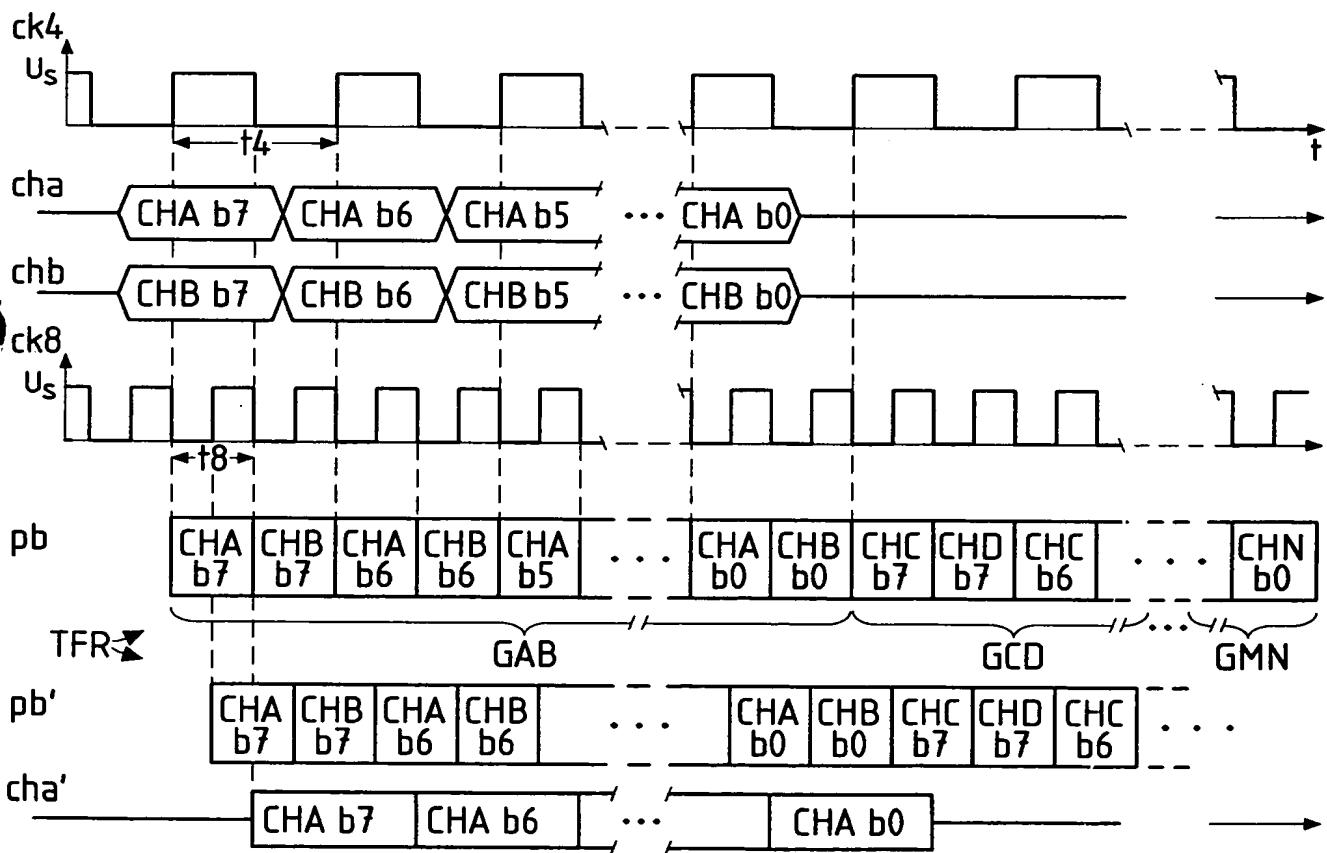
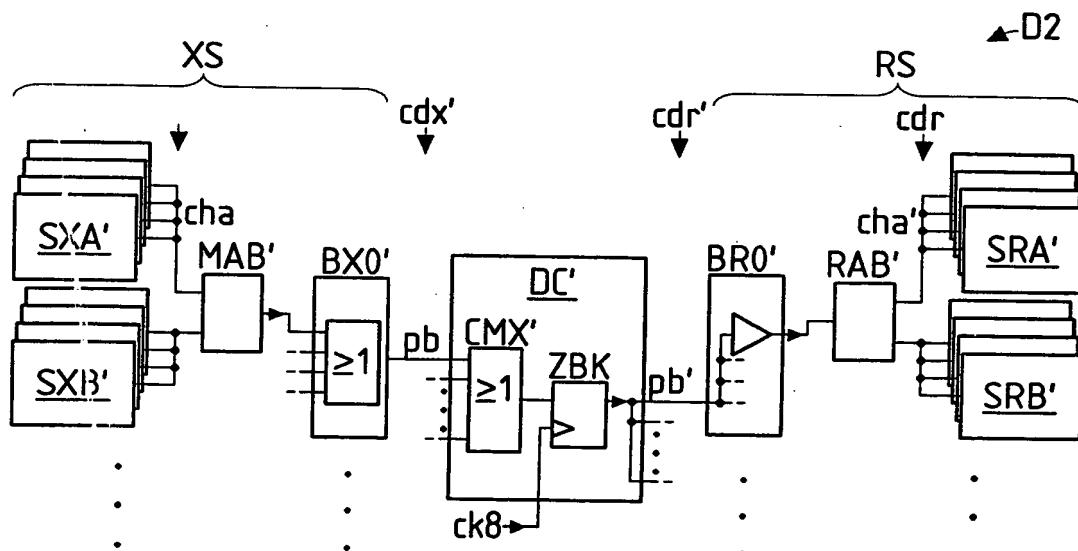
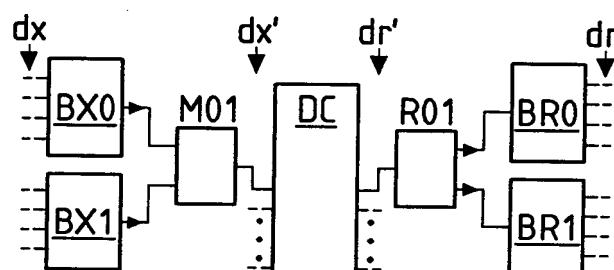
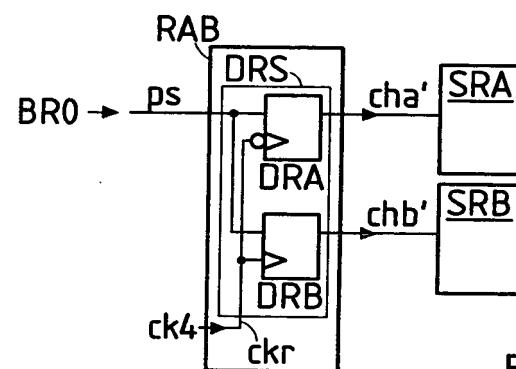
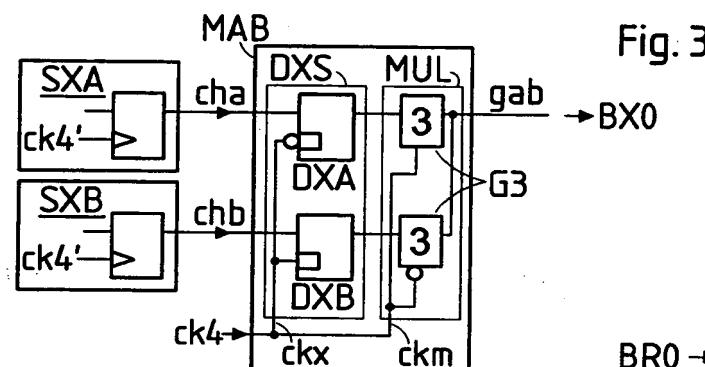


Fig. 2

2/2



Docket # GR 00 P 1029

Applic. # 09 / 760, 411

Applicant: Prey

Lerner and Greenberg, P.A.  
Post Office Box 2480  
Hollywood, FL 33022-2480  
Tel: (954) 925-1100 Fax: (954) 925-1101